

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 6 月 9 日 (09.06.2005)

PCT

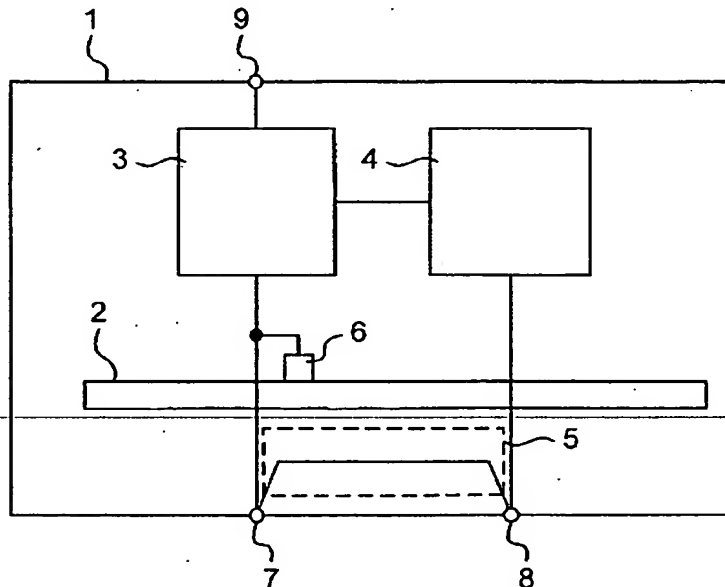
(10) 国際公開番号
WO 2005/053028 A1

- (51) 国際特許分類: H01L 27/04, 23/60 (74) 代理人: 河宮 治, 外(KAWAMIYA, Osamu et al.); 〒5400001 大阪府大阪市中央区城見 1 丁目 3 番 7 号 I M P ビル 青山特許事務所 Osaka (JP).
- (21) 国際出願番号: PCT/JP2004/017701 ✓
- (22) 国際出願日: 2004 年 11 月 29 日 (29.11.2004) ✓
- (25) 国際出願の言語: 日本語 ✓
- (26) 国際公開の言語: 日本語 ✓
- (30) 優先権データ: 特願 2003-397099 ✓
2003 年 11 月 27 日 (27.11.2003) JP ✓
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP). ✓
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 小島 巖 (KOJIMA, Iwao). 正垣 年啓 (SHOGAKI, Toshihiro). 石川 修 (ISHIKAWA, Osamu). ✓
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE COMPRISING ELECTROSTATIC BREAKDOWN PROTECTION ELEMENT

(54) 発明の名称: 静電破壊保護素子を備えた半導体装置



(57) Abstract: A semiconductor device (1) comprises a semiconductor substrate (2) on which integrated circuits (3, 4) are formed, a first ground terminal (7) and a second ground terminal (8) for electrically connecting the integrated circuits (3, 4) to an external ground electrode, and an electrostatic breakdown protection element (5) for electrically connecting the first ground terminal (7) with the second ground terminal (8). The first ground terminal (7) is electrically connected with the semiconductor substrate (2), while the second ground terminal (8) is not electrically connected with the semiconductor substrate (2).

[続葉有]

WO 2005/053028 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, — 補正書
SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(57) 要約: 半導体装置 (1) は、集積回路 (3, 4) が形成された半導体基板 (2) と、集積回路 (3, 4) と外部の接地電極とを電気的に接続する第1の接地端子 (7) 及び第2の接地端子 (8) と、第1の接地端子 (7) と第2の接地端子 (8) とを電気的に接続する静電破壊保護素子 (5) とを備える。第1の接地端子 (7) は、半導体基板 (2) に電気的に接続され、第2の接地端子 (8) は、半導体基板 (2) に電気的に接続されない。